# 总结与展望

## 工作总结

本文的主要研究方向集中在高密度FPGA原型验证系统软件设计CAD流程中的划分阶段的资源估算部分，研究主要分为三个方面：首先介绍了原型验证流程中FPGA的设计综合流程，包括逻辑综合原理，逻辑综合中Verilog HDL语法对应的逻辑综合原则，技术映射原理，现阶段工业界常用技术映射算法的描述，其次基于该原理结合高密度FPGA原型验证系统划分阶段需求设计并实现了快速资源估算模型，最后提出在EDA软件中结合机器学习方法，将资源估算与机器学习相结合，最终实现以下内容：

1.实现以传统思路框架为基础的快速资源估算模型，用户输入RTL级设计即可以快速得到设计所需要得FPGA片上资源数量如LUT、FF、BUFG等资源，有效提升了在超大型集成电路设计原型验证RTL划分阶段的迭代速度。

2.并在此基础上加入了合理的LUT优化算法，Bottom-To-Up算法，使该快速资源估算模型更加匹配实际划分需求及面向不同设计种类的优化方法及面向不同需求的优化方法，并增加可复用资源结构定义，并支持用户自定义功能user-define，使得原型验证划分阶段的迭代速度和实用性得到显著提升，有效提升约2.2倍，由于自主开发故拥有完善的C++输入输出接口，可集成在商业软件中，且实际应用至Player-Pro RTL Partition工业商用软件中，并在实际客户应用场景中得到检验。

3.以EDA与机器学习相结合的思路，结合逻辑综合及技术映射原理，构建面向RTL级集成电路行为描述的特征提取器，以Xilinx EDA设计软件为标签，训练了随机森林、SVM支持向量机、人工神经网络等多种机器学习模型，使运行速率提升至xxxx，准确度达xxxx%，同时验证了EDA软件与人工智能相结合的可行性，进一步提升了在超大规模集成电路设计FPGA原型验证的划分阶段的迭代速度，为EDA与原型验证流程相结合的研究打下基础。

## 工作展望

面向RTL级设计的FPGA快速资源估算问题结合了图论、可行性问题、逻辑分解、逻辑优化等众多方面特性，具有一定挑战性，随着设计规模的逐渐增大，在验证方面的需求特性也在增加，如何能有效的快速且准确的得到RTL设计所需的FPGA片上资源，并能有效合理的支持原型验证系统的RTL-Partition划分是未来EDA流程中将面临的一大问题。

本文虽在这方面做了一些研究和实现，但仍需在一下方面做出进一步的改进：

1.目前虽然实现快速资源估算模型，并增加了符合实际映射原理的优化及约束选项，但是在特殊的FPGA板上器件映射计算方面依然存在较大误差，如BRAM、LUTRAM等先进器件，所以可以考虑后续在这方面增加进一步的研究，使得资源估算更加精确。

2.虽然在本文中验证了机器学习方法与资源估算相结合的可行性，但是还处于初步阶段，精确度及估算器件类型上还有待增加，如可参照文章【】中提到的多级估算方法，将初步得到的一般器件估算结果进行二级抽象，得到更高级别的资源类型。

3.在面向资源估算的机器学习模型中增加更高层级抽象特征，增加实际模型泛化率，可参照文章【】利用HLS高层次综合方法快速构建样本设计从而增加模型训练样本数量，使得机器学习模型的泛化程度更高更有效。

4.神经网络资源估算模型还可以进一步增加不同设计在不同约束下进行综合的样本，使得机器学习模型可以支撑不同约束下的资源估算结果，如面积优化、功率优化等约束选项。